

1/3/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2006 Thomson Derwent. All rts. reserv.

015556588 **Image available**
WPI Acc No: 2003-618743/200358
XRAM Acc No: C03-168849
XRPX Acc No: N03-492821

**Field effect transistor manufacture involves forming level raising layers
on drain and source regions by chemical-mechanical polishing and etching
deposited silicon film**

Patent Assignee: NEC CORP (NIDE); NIPPON ELECTRIC CO (NIDE); LEE J W
(LEEJ-I); TAKEMURA H (TAKE-I)
Inventor: LEE J W; TAKEMURA H
Number of Countries: 102 Number of Patents: 005
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 200369678	A1	20030821	WO 2003JP1478	A	20030213	200358 B
JP 2003243415	A	20030829	JP 200239464	A	20020218	200366
AU 2003211950	A1	20030904	AU 2003211950	A	20030213	200428
US 20050098831	A1	20050512	WO 2003JP1478	A	20030213	200532
			US 2004499224	A	20040617	
CN 1613151	A	20050504	CN 2003802028	A	20030213	200558

Priority Applications (No Type Date): JP 200239464 A 20020218

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

WO 200369678 A1 J 40 H01L-029/78

Designated States (National): AE AG AL AM AT AU AZ BA BB BG BR BY BZ CA
CH CN CO CR CU CZ DE DK DM DZ EC EE ES FI GB GD GE GH GM HR HU ID IL IN
IS KE KG KP KR KZ LC LK LR LS LT LU LV MA MD MG MK MN MW MX MZ NO NZ OM
PH PL PT RO RU SC SD SE SG SK SL TJ TM TN TR TT TZ UA UG US UZ VC VN YU
ZA ZM ZW

Designated States (Regional): AT BE BG CH CY CZ DE DK EA EE ES FI FR GB
GH GM GR HU IE IT KE LS LU MC MW MZ NL OA PT SD SE SI SK SL SZ TR TZ UG
ZM ZW

JP 2003243415	A	13	H01L-021/336	
AU 2003211950	A1		H01L-029/78	Based on patent WO 200369678
US 20050098831	A1		H01L-021/00	
CN 1613151	A		H01L-029/78	

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-243415

(43)Date of publication of application : 29.08.2003

(51)Int.Cl.

H01L 21/336

H01L 21/28

H01L 29/786

(21)Application number : 2002-039464

(71)Applicant : NEC CORP

(22)Date of filing : 18.02.2002

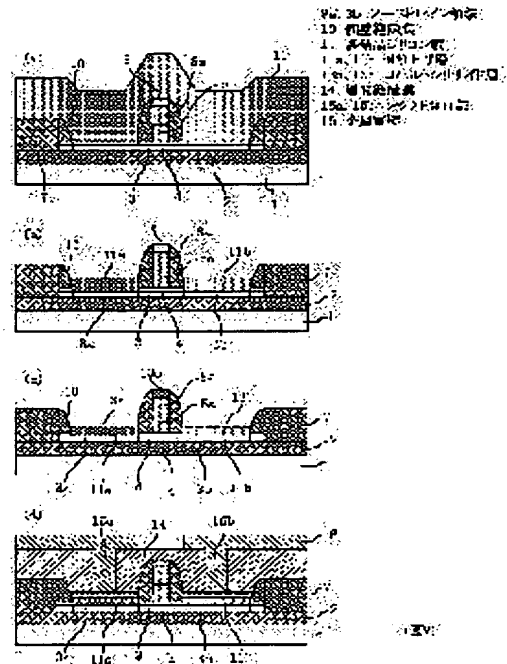
(72)Inventor : RI JONUU
TAKEMURA HISASHI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a parasitic resistance increase in source/drain regions by forming an upheaved layer on each of source/drain regions without using any photolithography process and without the fear of a short in a FET having a thin-film SOI layer.

SOLUTION: An element-isolation insulating film 7, which is taller than the semiconductor layer (SOI layer) 3, is formed surrounding the island-shaped semiconductor layer 3, while gate electrodes 5a, 8a which are taller than the element-isolation insulating film 7 are formed on the semiconductor layer 3. A polycrystalline silicon film 11 is deposited on the whole surface [(a)]. By chemical-mechanical polishing and etching-back, upheaved layers 11a, 11b which are lower in height than the element-isolation insulating film 7 are formed on the source/drain regions 3a, 3b [(b)]. Silicide layers 13a, 13c are formed on the gate electrode and the upheaved layers [(c)]. An interlayer insulating film 14 is formed, and metal electrodes 16 are formed [(d)].



LEGAL STATUS

[Date of request for examination]

14.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-243415

(P 2 0 0 3 - 2 4 3 4 1 5 A)

(43) 公開日 平成15年 8 月29日 (2003. 8. 29)

(51) Int. Cl. ⁷	識別記号	F-I	テマコード [*] (参考)
H01L 21/336		H01L 21/28	301 D 4M104
21/28	301	29/78	616 J 5F110
29/786			617 K
			621
			616 S
審査請求 未請求 請求項の数15 O L (全13頁)			

(21) 出願番号 特願2002-39464 (P 2002-39464)

(22) 出願日 平成14年 2 月18日 (2002. 2. 18)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 李 ジョンウー

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72) 発明者 武村 久

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74) 代理人 100096253

弁理士 尾身 祐助

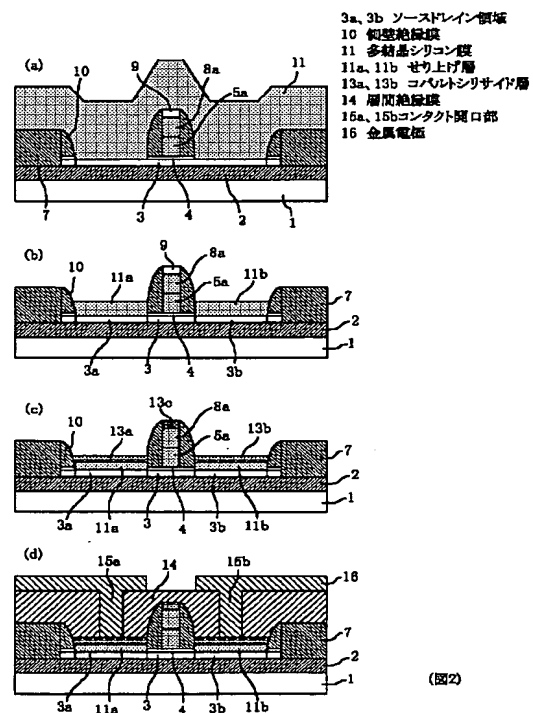
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 薄膜のSOI層を有するFETにおいて、ソース・ドレイン領域の寄生抵抗の増加を防止する。ソース・ドレイン領域上のせり上げ層を、リソグラフィ工程を用いることなく、且つ、短絡の恐れなく形成できるようにする。

【解決手段】 島状に加工された半導体層 (SOI層) 3を囲む、半導体層3より高い素子分離絶縁膜7を形成し、半導体層3上に素子分離絶縁膜7より高いゲート電極5a、8aを形成する。全面に多結晶シリコン膜11を堆積する〔(a)〕。化学的機械研磨及びエッチバックにより、ソース・ドレイン領域3a、3b上に、素子分離絶縁膜7より低いせり上げ層11a、11bを形成する〔(b)〕。ゲート電極上とせり上げ層上にシリサイド層13a~13cを形成する〔(c)〕。層間絶縁膜14を形成し金属電極16を形成する〔(d)〕。



(図2)

【特許請求の範囲】

【請求項1】 絶縁膜または絶縁基板上に素子分離絶縁膜により囲繞されて形成された、チャネル領域とソース・ドレイン領域とを有する半導体層と、前記チャネル領域上にゲート絶縁膜を介し、側壁絶縁膜に囲まれて形成されたゲート電極と、前記ソース・ドレイン領域上に前記素子分離絶縁膜と前記ゲート電極とに囲まれて形成された、導電性材料からなるせり上げ層とを有する半導体装置において、前記ゲート電極の表面高さは前記素子分離絶縁膜の表面高さより高く、かつ、前記せり上げ層の表面高さは前記素子分離絶縁膜の表面高さ以下であることを特徴とする半導体装置。

【請求項2】 前記せり上げ層が多結晶シリコン膜、または、多結晶シリコン膜およびその上に形成された金属シリサイド膜、または、多結晶シリコン膜およびその上に形成された金属膜、または、金属シリサイド膜、または、金属膜よりなることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記半導体層の膜厚が30nm以下であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記ゲート電極が、2層の多結晶シリコン膜、または、2層の多結晶シリコン膜およびその上に形成された金属シリサイド膜、または、2層の多結晶シリコン膜およびその上に形成された金属膜よりなることを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】 前記せり上げ層の膜厚が30nm以上であることを特徴とする請求項1～4のいずれかに記載の半導体装置。

【請求項6】 (1) 絶縁膜または絶縁基板上にチャネル領域とソース・ドレイン領域となる半導体層を囲繞する前記半導体層以上の膜厚を有する素子分離絶縁膜を形成する工程と、

(2) 前記半導体層上にゲート絶縁膜を介して表面高さが前記素子分離絶縁膜の表面高さより高いゲート電極を形成する工程と、

(3) 前記半導体層上に、前記素子分離絶縁膜と前記ゲート電極とによって囲まれた、表面高さが前記素子分離絶縁膜の表面高さ以下の導電性のせり上げ層を選択的に形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項7】 前記第(2)の後、前記第(3)の工程に先立って、前記ゲート電極の側面と前記素子分離絶縁膜の側面に側壁絶縁膜を形成する工程が付加されることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記第(3)の工程は、導電性膜を堆積する工程と、エッチング、または、化学的機械研磨(CMP; chemical mechanical polishing) およびエッチングにより不要の導電性膜を除去する工程を含んでいる

ことを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項9】 前記せり上げ層を多結晶シリコンにより形成し、前記第(3)の工程の後、前記せり上げ層上に金属シリサイド膜を形成する工程が付加することを特徴とする請求項6～8のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記ゲート電極を多結晶シリコンにより形成し、前記第(2)の工程を行うに際し、前記ゲート電極上にマスク絶縁膜を形成しておき、前記第(3)の工程の後、前記マスク絶縁膜を除去し、前記せり上げ層上に金属シリサイド膜を形成する工程の際に同時にゲート電極上にも金属シリサイド膜を形成することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 前記第(1)の工程と前記第(2)の工程とを総合した工程は、

(a) 半導体層上にゲート絶縁膜を介して第1のゲート形成材料層と、マスク絶縁膜となる第1の絶縁膜とを堆積する工程と、

(b) 前記第1の絶縁膜と前記第1のゲート形成材料層と前記半導体層とを島状にパターニングする工程と、

(c) 素子分離絶縁膜となる第2の絶縁膜を全面に堆積した後少なくとも前記第1の絶縁膜の一部を除去するように化学的機械研磨を行って前記島状の半導体層を囲繞する素子分離絶縁膜を形成する工程と、

(d) 前記第1の絶縁膜が存在している場合にはこれを除去した後、第2のゲート形成材料層とマスク絶縁膜となる第3の絶縁膜を堆積し、前記第3の絶縁膜、前記第2のゲート形成材料層および前記第1のゲート形成材料層をパターニングして、表面にマスク絶縁膜を有するゲート電極を形成する工程と、を有することを特徴とする請求項6～10のいずれかに記載の半導体装置の製造方法。

【請求項12】 (1) 絶縁膜または絶縁基板上に形成された半導体層上にゲート絶縁膜を介して第1のゲート形成材料層とマスク材料層とを堆積する工程と、

(2) 前記マスク材料層と前記第1のゲート形成材料層と前記半導体層とを島状にパターニングし、形成された素子分離溝を素子分離絶縁膜で埋設する工程と、

(3) 前記マスク材料層と前記第1のゲート形成材料層とをパターニングして第1のゲート電極を形成する工程と、

(4) 前記素子分離絶縁膜の側面と、前記マスク材料層と前記第1のゲート電極との積層体の側面に第1の側壁絶縁膜を形成する工程と、

(5) 前記半導体層上の前記第1の側壁絶縁膜に囲まれた凹部内を導電性のせり上げ層と犠牲充填物とで埋設する工程と、

(6) 前記マスク材料層を除去した後、第2のゲート形成材料層を堆積しこれをパターニングして第2のゲート

電極を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 1 3】 前記第 (6) の工程の後、少なくとも前記せり上げ層上の前記犠牲充填物を除去し、前記第 2 のゲート電極の側面に第 2 の側壁絶縁膜を形成し、前記せり上げ層と前記第 2 のゲート電極の上表面に金属シリサイド層を形成する工程が付加されることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 前記マスク材料層が、シリコン窒化膜であり、前記犠牲充填物がシリコン酸化膜または金属膜であることを特徴とする請求項 1 2 または 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】 前記第 (5) の工程が、

(a) 全面に導電性材料を堆積し、エッチング、または、化学的機械研磨およびエッチングを行って、前記導電性材料を前記凹部の深さ以下の膜厚に残してせり上げ層を形成する工程と、

(b) 犠牲充填物となる材料を堆積し、化学的機械研磨を行って前記凹部内を犠牲充填物で埋め込む工程と、を有することを特徴とする請求項 1 2 ~ 1 4 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特にシリコン・オン・インシュレータ (以下、S O I と略す) 層を有する S O I 基板上に形成された M O S F E T およびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】 半導体支持基板上に絶縁膜 (多くは酸化膜) を介して単結晶半導体層 (シリコン層) を有する S O I 基板を用いて M O S F E T を形成すると、ソース領域やドレイン領域下に絶縁膜が形成されているために寄生容量を通常のバルク基板を用いて形成した場合よりも小さくすることが可能である。従って、S O I 基板を用いて L S I を製作することは素子の高速化に有利であり、そのためこの手法は広く採用されるようになってきている。一般に S O I 基板を用いた M O S F E T はゲート下の S O I 層を完全に空乏化させて動作させる完全空乏型と S O I 層を完全には空乏化させず中性領域が残した状態で動作させる部分空乏型がある。部分空乏型 F E T はバルク基板を用いたプロセスに準じた形成方法で作成できる利点は有るものの、電気的に基板と分離された中性領域が残るために、中性領域の電位が動作条件によって変わり動作電流が変動するいわゆる基板浮遊効果が発生し回路設計が難しくなる。一方、完全空乏型 F E T は中性領域が無いためにチャネル下の電位が変動せず安定した回路動作ができる利点がある。

【 0 0 0 3 】 しかし、完全空乏化型トランジスタでは、部分空乏化型のトランジスタよりもパンチスルーおよび短チャネル効果による特性劣化が起りやすいため、こ

れらに対する対策として、S O I 層膜厚を薄くする必要がある。一般に完全空乏化動作を維持するためには S O I 層膜厚はゲート長の $1/4$ 以下とする必要があることが知られている。従って、ゲート長が $0.1 \mu\text{m}$ では S O I 膜厚を 25 nm 以下とする必要がある。ところが S O I 膜厚が薄くなるとソース・ドレイン領域の厚さが薄くなり、ソース・ドレイン抵抗が増大することになる。特にソース・ドレイン領域上に金属シリサイド層を形成するとシリコン層の全膜厚がシリサイド化されシリサイドの凝集や断線が発生しやすくなり、寄生抵抗が増大する問題が発生する。この現象は S O I 膜厚が 30 nm 以下になると顕著になることが我々の研究で分かっている。この寄生抵抗の増大を防止するにはソース・ドレイン領域のシリコン層を局所的に厚くすることが有効である。そのために選択的エピタキシャル成長によりソース・ドレイン領域上にシリコン層を成長させる方法が提案されている (例えば、特開 2 0 0 0 - 2 2 3 7 1 3 号公報) 。この従来技術を図面を参照して以下に説明する。

【 0 0 0 4 】 図 1 2 (a) ~ (d) は、上述した従来例の工程順断面図である。シリコンよりなる支持基板 1 上に酸化膜よりなる埋め込み絶縁膜 2 が形成され、その上に半導体層 3 が形成されてなる S O I 基板を用意し、図 1 2 (a) に示すように、活性領域となる半導体層 3 を素子分離絶縁膜 7 c で分離した後、半導体層 3 上にゲート絶縁膜 4 を形成し、その上に多結晶シリコン膜とシリコン窒化膜よりなるマスク絶縁膜 9 を堆積し、これらをパターニングしてゲート電極 2 2 を形成する。その後、マスク絶縁膜 9 付きゲート電極 2 2 の側面に側壁絶縁膜 1 0 を形成する。次に、図 1 2 (b) に示すように、H C l を含むシリコン成長 C V D 条件で選択的に単結晶シリコンを例えば 50 nm の膜厚に成長させて、せり上げ層 1 1 e、1 1 f を形成する。そして、チャネル領域となる半導体層と逆の導電型の不純物原子をイオン注入法により半導体層 3 に添加し、ソース・ドレイン領域 3 a、3 b を形成する。次に、図 1 2 (c) に示すように、マスク絶縁膜 9 を除去した後、全面に例えばコバルトをスパッタ法により $30 \text{ nm} \sim 100 \text{ nm}$ 厚に堆積し加熱処理を施すことによりコバルトシリサイド層 1 3 a、1 3 b、1 3 c を形成する。その後、余剰のコバルトをエッチング除去し選択的にコバルトシリサイド層を残す。その後、図 1 2 (d) に示すように、例えば酸化膜よりなる層間絶縁膜 1 4 を C V D 法により堆積する。この後化学的機械研磨法 (C M P 法) により表面を平坦化することもある。その後、選択的に層間絶縁膜 1 4 にコンタクト開口部 1 5 a、1 5 b を形成する。その後、A l 等の金属をスパッタ法により堆積し、フォトリソグラフィ法によりパターニングしてコンタクト開口部を介してコバルトシリサイド層に接触する金属電極 1 6 を形成する。

【0005】

【発明が解決しようとする課題】上述した選択エピタキシャル成長法によりせり上げ層を形成する方法では、図12(b)に示されるように、成長端にファセットが生じそのために低抵抗のせり上げ層の形成が困難となっていた。また、選択エピタキシャル成長にはそれに適した特別なCVD装置が必要でありコストが増加する問題があった。また、ファセットが形成しない条件でシリコンを成長させた場合には選択性が劣化するため、短絡を防止するには特別なリソグラフィ工程が必要となる。選択成長を行わずになおかつリソグラフィ工程を必要としないせり上げ層の形成方法として、素子分離絶縁膜を半導体層(SOI層)より高く形成しておき、CVDとCMPなどによりゲート電極と素子分離絶縁膜によって形成される凹部内にシリコンなどの導電性材料を埋め込む方法も提案されている。しかし、この場合、ゲート電極とせり上げ層の表面高さが一致するため、シリサイド層を形成した際に短絡が発生しやすいことが問題となる。本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、第1に、低抵抗なせり上げ層を形成しうるようにしてソース・ドレイン領域に係る寄生抵抗の低減化を図ることであり、第2に、リソグラフィ工程を用いることなく短絡の可能性が低いせり上げ層を形成しうようにすることである。

【0006】

【課題を解決するための手段】上述の目的を達成するため、本発明によれば、絶縁膜または絶縁基板上に素子分離絶縁膜により囲繞されて形成された、チャネル領域とソース・ドレイン領域とを有する半導体層と、前記チャネル領域上にゲート絶縁膜を介し、側壁絶縁膜に囲まれて形成されたゲート電極と、前記ソース・ドレイン領域上に形成された、導電性材料からなるせり上げ層とを有する半導体装置において、側壁絶縁膜に囲まれて形成されたゲート電極の表面高さは前記素子分離絶縁膜の表面高さより高く、かつ、前記せり上げ層の表面高さは前記素子分離絶縁膜の表面高さ以下であることを特徴とする半導体装置、が提供される。そして、好ましくは、前記せり上げ層は、多結晶シリコン膜、または、多結晶シリコン膜およびその上に形成された金属シリサイド膜、または、多結晶シリコン膜およびその上に形成された金属膜、または、金属シリサイド膜、または、金属膜により形成される。

【0007】また、上述の目的を達成するため、本発明によれば、(1)絶縁膜または絶縁基板上にチャネル領域とソース・ドレイン領域となる半導体層を囲繞する前記半導体層以上の膜厚を有する素子分離絶縁膜を形成する工程と、(2)前記半導体層上にゲート絶縁膜を介して表面高さが前記素子分離絶縁膜の表面高さより高いゲート電極を形成する工程と、(3)前記半導体層上に、前記素子分離絶縁膜と前記ゲート電極とによって囲まれ

た、表面高さが前記素子分離絶縁膜の表面高さより低い導電性のせり上げ層を選択的に形成する工程と、を有することを特徴とする半導体装置の製造方法、が提供される。

【0008】また、上述の目的を達成するため、本発明によれば、(1)絶縁膜または絶縁基板上に形成された半導体層上にゲート絶縁膜を介して第1のゲート形成材料層とマスク材料層とを堆積する工程と、(2)前記マスク材料層と前記第1のゲート形成材料層と前記半導体層とを島状にパターニングし、形成された素子分離溝を素子分離絶縁膜で埋設する工程と、(3)前記マスク材料層と前記第1のゲート形成材料層とをパターニングして第1のゲート電極を形成する工程と、(4)前記素子分離絶縁膜の側面と、前記マスク材料層と前記第1のゲート電極との積層体の側面に第1の側壁絶縁膜を形成する工程と、(5)前記半導体層上の前記第1の側壁絶縁膜に囲まれた凹部内を導電性のせり上げ層と犠牲充填物とで埋設する工程と、(6)前記マスク材料層を除去した後、第2のゲート形成材料層を堆積しこれをパターニングして第2のゲート電極を形成する工程と、を有することを特徴とする半導体装置の製造方法、が提供される。

【0009】

【発明の実施の形態】次に、本発明の実施の形態について実施例に即し図面を参照して詳細に説明する。

【第1の実施例】図1(a)～(e)および図2(a)～(d)は、本発明の第1の実施例の半導体装置の製造方法を示す工程順の模式的断面図である。まず、図1(a)に示すように、シリコンなどよりなる支持基板1上に例えば100nm厚の酸化膜よりなる埋め込み絶縁膜2が形成され、その上に例えばシリコンよりなる半導体層3が5nm～60nm厚に形成されてなるSOI基板を用意する。ここで、SOI基板はシリコン基板中に酸素をイオン注入して形成するSIMOX(separated by implanted oxygen)法によるものでも張り合わせにより形成したものでも構わない。また、SOS(silicon on sapphire)等のように、絶縁性基板上に半導体層を設けたものであってもよい。次に、例えばイオン注入法により半導体層3中に不純物原子を添加しチャネル領域を形成するに適した不純物濃度とする。そして、半導体層3上に例えば熱酸化により約10nm厚のゲート絶縁膜4を形成し、その上に例えば多結晶シリコンを約50nm厚に堆積して第1のゲート材料層5を形成し、さらにシリコン窒化膜6を約100nm厚に形成する。次に、図1(b)に示すように、素子領域となる半導体層3およびゲート絶縁膜4および第1のゲート材料層5およびシリコン窒化膜6を異方性エッチングにより島状に加工する。

【0010】その後、酸化膜などの絶縁膜(7)を約200nm厚にCVD法などの成膜法により全面に堆積

し、さらに化学的機械研磨(CMP)により絶縁膜

(7) およびCMPのストッパー膜となるシリコン窒化膜6の一部を研磨・平坦化して島状半導体層3を囲む素子分離絶縁膜7を形成する。これにより素子分離絶縁膜7を半導体層3よりも盛り上がった構造に形成することが可能である。次に、図1(c)に示すように、燐酸などによりシリコン窒化膜6を選択的にエッチングした後、CVD法により多結晶シリコン膜よりなる第2のゲート材料層8を約100nm厚に堆積する。次に、図1(d)に示すように、例えばシリコン窒化膜よりなるマスク絶縁膜9を約20nm厚に堆積した後、レジストなどをマスクとして、マスク絶縁膜9、第2のゲート材料層8、第1のゲート材料層5を順次エッチング加工して、第1、第2のゲート電極5a、8aを形成する。その後、酸化膜を例えば150nm厚にCVD法により堆積し続いて異方性エッチングを行い側壁絶縁膜10を形成する。この工程でゲート絶縁膜4の一部がエッチングされる。なお、側壁絶縁膜10を形成する前に、半導体層中にチャネル領域と同じ導電型の不純物原子を添加してHalo領域を、あるいはチャネル領域とは反対導電型の不純物原子を添加してソース・ドレインエクステンション領域を形成しても構わない。

【0011】次に、図2(a)に示すように、多結晶シリコン膜11をCVD法により約300nm厚に堆積する。次に、図2(b)に示すように、化学的機械研磨法により多結晶シリコン膜11を平坦化しその後、多結晶シリコン膜11をエッチングし図のように素子分離絶縁膜7とゲート電極に囲まれた凹部に多結晶シリコン膜よりなるせり上げ層11aおよび11bを形成する。このように素子分離絶縁膜7が半導体層よりも盛り上がった構造となっていることにより、多結晶シリコン膜を化学的機械研磨する工程でソース・ドレイン領域となる半導体層3上の膜厚は均一に形成することが可能となる。また、このせり上げ領域の厚さは30nm以上とすることにより抵抗の増大を抑制することが可能となる。

【0012】次に、イオン注入法によりチャネルと反対導電型の不純物原子を第2のゲート電極8aおよび第1のゲート電極5aおよびせり上げ層11a、11bに添加し例えば1000℃、10秒の加熱処理を行うことにより、多結晶シリコン膜に導電性を付与すると共に半導体層3に反対導電型のソース・ドレイン領域3aおよび3bを形成する。次に、図2(c)に示すように、マスク絶縁膜9を除去した後(マスク絶縁膜9の除去はイオン注入工程の前であってもよい)、全面に例えばコバルトをスパッタ法により30nm~100nm厚に堆積し加熱処理を施すことによりコバルトシリサイド層13a、13b、13cを形成する。その後、余剰のコバルトをエッチング除去し選択的にコバルトシリサイド層を残す。この際に、せり上げ層の上表面とゲート電極の上表面との間には、高低差があるため、さらに、マスク絶

縁膜9の除去部分に凹部が形成されることにより、両者間の短絡は防止される。その後、図2(d)に示すように、例えば酸化膜よりなる層間絶縁膜14をCVD法により堆積し、必要に応じて化学的機械研磨により表面を平坦化する。その後、選択的に層間絶縁膜14をエッチング除去してコンタクト開口部15a、15b(シリサイド層13c上のコンタクト開口部15cは図示無し)を形成する。その後、金属膜の堆積とそのフォトリソグラフィによるパターニングにより、コンタクト開口を介してシリサイド層と接触した金属電極16を形成する。図3に本願発明の第1の実施例の平面図を示す。図中A-B間の断面図が図2(d)である。

【0013】このように、素子分離絶縁膜7が半導体層3よりも盛り上がった構造とすることにより、ソース・ドレイン領域上のせり上げ材料をCVD法による成膜とCMP法による平坦化とエッチングにより自己整合的にソース・ドレイン領域上に形成することが可能となる。従来の方法のように選択エピタキシャル成長を用いる必要がなく、特殊な加工をする必要もない。さらに選択エピタキシャル成長法で問題となっているファセットの発生が原理的に起こり得ないために抵抗が全面的に低減できる利点がこの構造により可能となる。また、素子分離絶縁膜を半導体層よりも盛り上げることにより、盛り上がっていない構造の場合必要となる、フォトレジストなどによるパターニングが必要なく工程が簡略化出来る上、図3に示すように、ソース・ドレイン領域とせり上げ領域の位置ずれがなく隣接した領域とのマージンを短縮化することが可能となることによる微細化も可能となる利点がある。また、ゲート電極の表面高さをせり上げ層の表面高さより高くしておくことにより、さらにゲート電極上の側壁絶縁膜に囲まれた凹部にシリサイドを形成するようにすることにより、面積を広げることなく(集積度を犠牲にすることなく)ゲート電極とソース・ドレイン領域間の短絡を効果的に防止することができる。

【0014】このように本願発明の半導体装置では、半導体層3の膜厚が30nm以下となりソース・ドレイン領域の寄生抵抗値が高くなるSOI基板を用いた場合でも、せり上げ層を自己整合的に任意の膜厚に形成することが出来るためソース・ドレイン領域に係る寄生抵抗の抵抗値を低減することができる。

【0015】[第2の実施例] 図4は、本発明の第2の実施例の断面図である。第2の実施例の半導体装置は、支持基板1上に形成された埋め込み絶縁膜2と、シリコン膜よりなる半導体層3と、その一部に形成されたソース・ドレイン領域3a、3bと、半導体層3を取り囲む素子分離絶縁膜7と、半導体層3上に形成されたゲート絶縁膜4と、第1、第2のゲート電極5a、8aと、ゲート電極の側壁に形成された側壁絶縁膜10と、素子分離絶縁膜7(およびその側壁絶縁膜10)とゲート電極(およびその側壁絶縁膜10)で囲まれた凹部に埋め込

まれて形成された金属シリサイド膜よりなるせり上げ層11c、11dと、全面を被覆する層間絶縁膜14と、層間絶縁膜14上に形成された、層間絶縁膜に開設されたコンタクト開口を介してせり上げ層11c、11dと接触する金属電極16より構成されている。

【0016】第1の実施例ではせり上げ層が多結晶シリコン膜より形成されていたのに対し、第2の実施例では金属シリサイド膜により形成されている。このようにシリコン層を形成することなく金属シリサイド層でせり上げるによりより低抵抗のせり上げ層を実現することが可能となる。このせり上げ層は、コバルトシリサイド、タングステンシリサイド、モリブデンシリサイド、チタンシリサイドなどにより形成することができる。また、この金属シリサイド膜に代えてタングステン膜やあるいは窒化チタン膜などのバリア膜を介して形成されたタングステン膜等の金属膜を用いてせり上げ層を形成してもよい。金属膜を用いてせり上げ層を形成することにより一層の低抵抗化が可能となる。金属シリサイドや金属のせり上げ層は、金属シリサイドや金属を堆積しCMP法により平坦化しエッチングを行うことにより容易に形成することができる。このように本願発明では従来の選択形成法では、シリコン膜よりも選択性が悪く選択成長の難しい金属シリサイド膜や金属膜を用いる場合にも、リソグラフィ技術を用いることなくせり上げ層を形成することができる。また、アモルファスシリコンを堆積し、熱処理を行うことによって多結晶化してこれを用いてせり上げ層を形成することも可能である。アモルファス膜に加熱処理を施すことによりグレインサイズの大きいシリコン層を形成することが可能となり、多結晶シリコン膜を堆積して形成するせり上げ層よりも低抵抗化することが可能である。

【0017】[第3の実施例] 図5(a)～(e)および図6(a)～(d)は、本発明の第3の実施例の半導体装置の製造方法を工程順に示した模式的断面図である。まず、図5(a)に示すように、シリコンなどよりなる支持基板1上に、例えば100nm厚の酸化膜よりなる埋め込み絶縁膜2と、例えばシリコンよりなる5nm～60nm厚の半導体層3とが積層されてなるSOI基板を用意する。そして、例えばイオン注入法により半導体層3中に第1導電型の不純物原子をチャンネル領域を形成するに適した濃度に添加した後、半導体層3上に例えば熱酸化により約10nm厚のゲート酸化膜4を形成し、その上に例えば多結晶シリコンからなる第1のゲート材料層5を約50nm厚に、さらにシリコン窒化膜6を約200nm厚に形成する。

【0018】次に、図5(b)に示すように、シリコン窒化膜6、第1のゲート材料層5、ゲート絶縁膜4および半導体層3を異方性エッチングにより島状に加工し、その後、酸化膜などの絶縁膜(7)を約300nm厚にCVD法などの成膜法により全面に堆積し、さらに化学

的機械研磨により、絶縁膜(7)および化学的機械研磨のストッパー膜となるシリコン窒化膜6の一部を研磨・平坦化して素子領域の半導体層3を囲む素子分離絶縁膜7を形成する。これにより素子分離絶縁膜7は半導体層3よりも盛り上がった構造に形成される。次に、図5

(c)に示すように、通常のフォトリソグラフィ法により、ゲート形成領域上にマスクとなるレジスト膜(図示無し)を形成しシリコン窒化膜6および第1のゲート材料層5を異方性エッチング法により加工してシリコン窒化膜6を表面に持つ第1のゲート電極5aを形成する。レジスト膜を除去した後、シリコン酸化膜をCVD法により例えば150nm厚に堆積し続いて異方性エッチングを行って側壁絶縁膜10を形成する。この工程でゲート絶縁膜4の一部がエッチングされ半導体層3のソース・ドレイン領域となる一部が露出される。なお、側壁窒化膜10を形成する前に半導体層中にチャンネル領域と同じ導電型の不純物原子を添加してHalo領域を、あるいはチャンネル領域とは反対導電型の不純物原子を添加してソース・ドレインエクステンション領域を形成しても構わない。次に、図5(d)に示すように、多結晶シリコン膜(11)をCVD法により約300nm厚に堆積し、化学的機械研磨により平坦化した後、多結晶シリコン膜をエッチングし図のように素子分離絶縁膜とゲート電極に囲まれた凹部に多結晶シリコン膜よりなるせり上げ層11aおよび11bを形成する。

【0019】このように素子分離絶縁膜7が半導体層3よりも盛り上がった構造となっていることにより、多結晶シリコン膜をCMPした工程で盛り上がった素子分離領域の絶縁膜7がCMPのストッパーとなるだけでなくせり上げ層の膜厚を均一に形成することが可能となる。また、このせり上げ層の厚さは30nm以上とすることにより抵抗の増大を抑制することが可能となる。次に、イオン注入法によりチャンネルと反対導電型の不純物原子をせり上げ層11a、11bに添加し、例えば1000℃、10秒の加熱処理によりソース・ドレイン領域3aおよび3bを形成する。次に、図5(e)に示すように、全面にCVD法により例えば酸化膜よりなる絶縁膜(18)を堆積しCMP法によりせり上げ層11a、11b上に選択的に残るように加工して犠牲絶縁膜18を形成する。次に、図6(a)に示すように、シリコン窒化膜6をリン酸などを用いて選択的にエッチング除去し、多結晶シリコン膜をCVD法により堆積しイオン注入により導電性付与を行った後パターニングして第2のゲート電極8bを形成する。次に、図6(b)に示すように、第2のゲート電極8bをマスクとして(第2のゲート電極を形成する際に用いたレジストをマスクとしてもよい)、犠牲絶縁膜18を異方性エッチングにより除去し、せり上げ層11a、11bの表面を露出させる。次いで、図6(c)に示すように、例えばシリコン酸化膜を約50nm厚に堆積し異方性エッチングを行って側壁

絶縁膜19を形成する。次いで、全面に例えばコバルトをスパッタ法により30nm~100nm厚に堆積し加熱処理を施すことによりコバルトシリサイド層13a、13b、13cを形成する。その後、余剰のコバルトをエッチング除去し選択的にコバルトシリサイド層を残す。次に、図6(d)に示すように、先の第1の実施例で説明したような方法と同様の方法により、層間絶縁膜14および金属電極16を形成することにより、本実施例の半導体装置の製造工程が完了する。図7に第3の実施例の平面図を示す。図中A-B間の断面図が図6

(d)である。図に示すように、本実施例では、ゲート電極上のシリサイド層13cが素子分離領域となる絶縁膜7上にも引き出されて形成することが可能となり、ゲート電極と金属電極を接続するコンタクト開口を絶縁膜7上に形成することができるため、素子の微細化、低抵抗化が可能となる。

【0020】[第4の実施例] 図8(a)~(e)および図9(a)~(d)は、本発明の第4の実施例の半導体装置の製造方法を工程順に示した模式的断面図である。本実施例の図8(d)に示すまでの工程は、図5

(a)~(d)に示される第3の実施例の場合と同じであるので、その説明は省略する。図8(d)に示すように加工した後、図8(e)に示すように、スパッタ法により全面にAl膜(20)を堆積し、せり上げ層11a、11b上のみ選択的に残るようにエッチバック

(あるいは化学的機械研磨)して犠牲Al膜20を形成する。次に、図9(a)に示すように、シリコン窒化膜6を燐酸などを用いて選択的にエッチング除去し、多結晶シリコン膜をCVD法により堆積しイオン注入を行って導電性を付与した後、パターニングして第2のゲート電極8bを形成する。次に、図9(b)に示すように、犠牲Al膜20をエッチング除去し、せり上げ層11a、11bの表面を露出させる。次いで、図9(c)に示すように、例えばシリコン酸化膜を約80nm厚に堆積し異方性エッチングを行って側壁絶縁膜19を形成する。次いで、全面に例えばコバルトをスパッタ法により30nm~100nm厚に堆積し加熱処理を施すことによりコバルトシリサイド層13a、13b、13cを形成する。その後、余剰のコバルトをエッチング除去し選択的にコバルトシリサイド層を残す。次に、図9(d)

に示すように、先の第1の実施例で説明したような方法と同様の方法により、層間絶縁膜14および金属電極16を形成することにより、本実施例の半導体装置の製造工程が完了する。

【0021】[第5の実施例] 図10(a)~(f)および図11(a)~(f)は、本発明の第5の実施例の半導体装置の製造方法を工程順の模式的断面図である。まず、図10(a)に示すように、支持基板1上に膜厚約100nmの埋め込み絶縁膜2を介して膜厚5nm~60nmの半導体層(シリコン層)3が形成されてなる

SOI基板上に、シリコン酸化膜21を約150nmの膜厚に堆積する。次に、図10(b)に示すように、シリコン酸化膜21および半導体層3の選択的エッチングを行ない、素子領域のシリコン酸化膜21と半導体層を島状に加工する。次に、図10(c)に示すように、CVD法によりシリコン窒化膜7aを、シリコン酸化膜21と半導体層3との合計膜厚よりも厚くなるように堆積する。

【0022】次に、図10(d)に示すように、化学的機械研磨法により所定の量のシリコン窒化膜7aを研磨した後に、プラズマエッチング法によりシリコン酸化膜21が表面に露出するまでシリコン窒化膜7aをエッチングして、上端部分が平坦化された構造を形成する。続いて、図10(e)に示すように、フッ酸によりシリコン酸化膜21をエッチング除去して半導体層3の表面を露出させる。次に、図10(f)に示すように、熱酸化を行って半導体層3の表面にゲート絶縁膜4を形成した後、CVDと化学的機械研磨を行って半導体層3上に多結晶シリコンからなる第1のゲート材料層5を埋め込む。この後に、図11(a)に示すように、CVD法を用いて多結晶シリコンからなる第2のゲート材料層8を、約80nmの膜厚に堆積し、その上に同じくCVD法を用いてシリコン酸化膜からなるマスク絶縁膜9aを形成する。続いて、図11(b)に示すように、マスク絶縁膜9aおよび第2、第1のゲート材料層8、5のパターニングを行って第1、第2のゲート電極5a、8aを形成する。

【0023】次に、図11(c)に示すように、酸化膜を例えば150nm厚にCVD法により堆積し続いて異方性エッチングを行い側壁絶縁膜10を形成する。次に、図11(d)に示すように、多結晶シリコン膜をCVD法により約300nm厚に堆積し、化学的機械研磨法により平坦化した後、多結晶シリコン膜をエッチバックして素子分離絶縁膜7bとゲート電極に囲まれた凹部に多結晶シリコン膜よりなるせり上げ層11aおよび11bを形成する。

【0024】次に、イオン注入法によりチャネルと反対導電型の不純物原子を第2のゲート電極8aおよび第1のゲート電極5aおよびせり上げ層11a、11bに添加し例えば1000℃、10秒の熱処理を行うことにより、ゲート電極およびせり上げ層に導電性を付与すると共に半導体層3に反対導電型のソース・ドレイン領域3aおよび3bを形成する。次に、図11(e)に示すように、マスク絶縁膜9aを除去した後(マスク絶縁膜9aの除去はイオン注入工程の前であってもよい)、全面に例えばコバルトをスパッタ法により30nm~100nm厚に堆積し加熱処理を施すことによりコバルトシリサイド層13a、13b、13cを形成する。その後、余剰のコバルトをエッチング除去し選択的にコバルトシリサイド層を残す。この際に、せり上げ層の上表面とゲ

ート電極の上表面との間には、高低差があるため、両者間の短絡は防止される。その後、図 11 (f) に示すように、例えば酸化膜よりなる層間絶縁膜 14 を CVD 法により堆積し、必要に応じて CMP 法により表面を平坦化した後、選択的に層間絶縁膜 14 をエッチング除去してコンタクト開口部 15 a、15 b を形成し、金属膜の堆積とそのフォトリソグラフィによるパターニングにより、コンタクト開口を介してシリサイド層と接触した金属電極 16 を形成すれば、本実施例の半導体装置の製造工程が完了する。

【0025】以上、本願発明を好ましい実施例に基づいて説明したが、本発明はこれら実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。例えば、第 1、第 3～第 5 の実施例では、せり上げ層とゲート電極の双方にシリサイド層を形成していたがいずれか一方あるいは双方を多結晶シリコンのみで形成するようにしてもよい。また、多結晶シリコン膜の低抵抗化のためにシリサイド膜を形成していたが、シリサイド膜に代えて多結晶シリコン膜上に金属膜を形成して低抵抗化を実現してもよい。また、せり上げ層の凹部への埋め込みを実施例では、化学的機械研磨とエッチングの併用により行っていたが、エッチングのみにより行うようにしてもよい。

【0026】

【発明の効果】以上説明したように、本願発明の半導体装置は、素子分離絶縁膜を SOI 層である半導体層よりも厚く形成し、かつ、ゲート電極を素子分離絶縁膜よりも厚く形成し、ゲート電極と素子分離絶縁膜によって形成される凹部内にせり上げ層を形成するものであるので、リソグラフィ工程を用いることなく、ソース・ドレイン領域上に厚い、従って低抵抗のせり上げ層を形成することが出来る。また、本発明によれば、せり上げ層の表面高さよりゲート電極の表面高さが高くなされるので、せり上げ層上とゲート電極上とに金属シリサイド膜を形成する場合にも、両者間の短絡を有効に防止することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例の工程順断面図（その 1）。

【図 2】 本発明の第 1 の実施例の工程順断面図（その 2）。

【図 3】 本発明の第 1 の実施例の平面図。

【図 4】 本発明の第 2 の実施例の断面図。

【図 5】 本発明の第 3 の実施例の工程順断面図（その 1）。

【図 6】 本発明の第 3 の実施例の工程順断面図（その 2）。

【図 7】 本発明の第 3 の実施例の平面図。

【図 8】 本発明の第 4 の実施例の工程順断面図（その 1）。

10 【図 9】 本発明の第 4 の実施例の工程順断面図（その 2）。

【図 10】 本発明の第 5 の実施例の工程順断面図（その 1）。

【図 11】 本発明の第 5 の実施例の工程順断面図（その 2）。

【図 12】 従来例の工程順断面図。

【符号の説明】

1 支持基板

2 埋め込み絶縁膜

3 半導体層

3 a、3 b ソース・ドレイン領域

4 ゲート絶縁膜

5 第 1 のゲート材料層

5 a 第 1 のゲート電極

6、7 a シリコン窒化膜

7、7 b、7 c 素子分離絶縁膜

8 第 2 のゲート材料層

8 a 第 2 のゲート電極

9、9 a マスク絶縁膜

10、19 側壁絶縁膜

11 多結晶シリコン膜

11 a、11 b、11 c、11 d、11 e、11 f せり上げ層

13 a、13 b、13 c コバルトシリサイド層

14 層間絶縁膜

15 a、15 b、15 c コンタクト開口部

16 金属電極

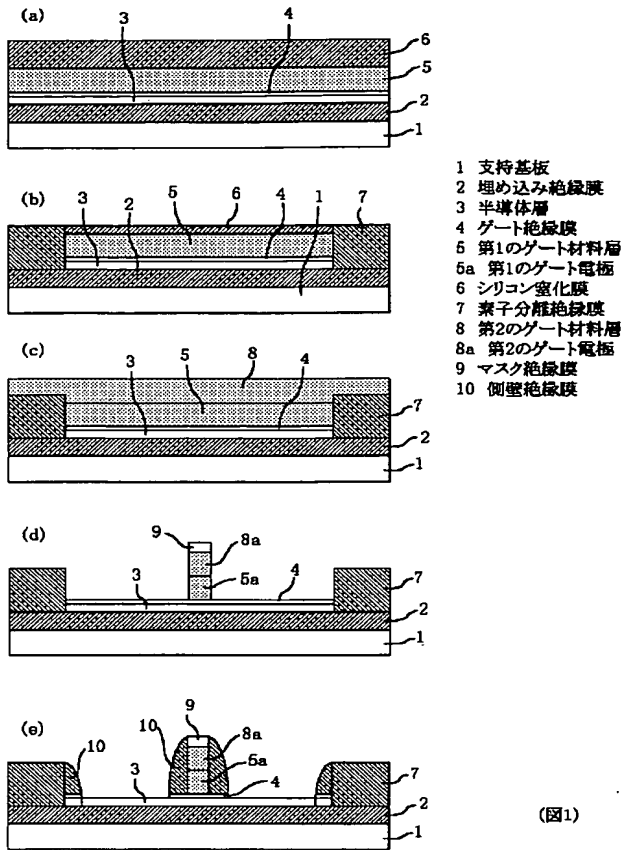
18 犠牲絶縁膜

20 犠牲 A1 膜

21 シリコン酸化膜

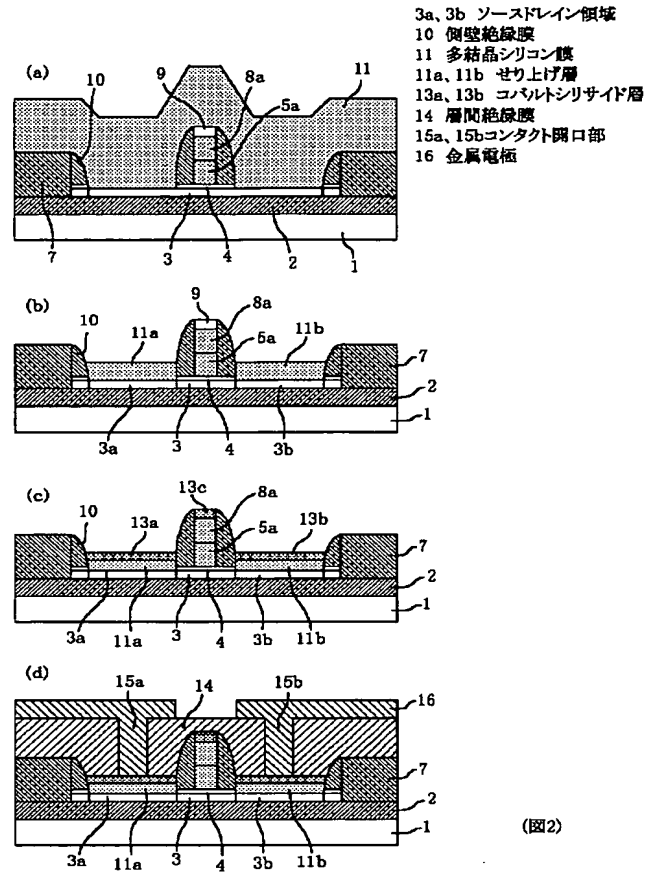
22 ゲート電極

【図 1】



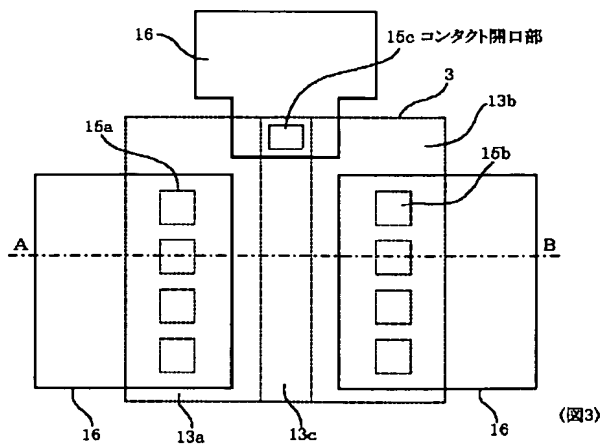
(図1)

【図 2】



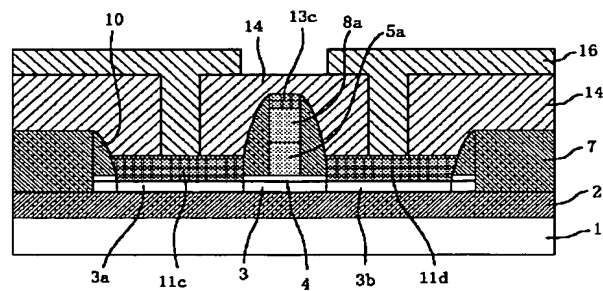
(図2)

【図 3】



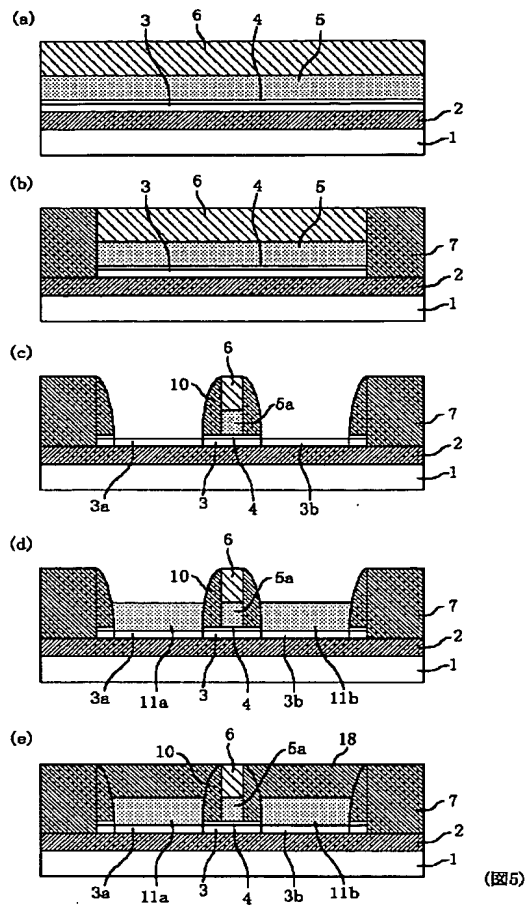
(図3)

【図 4】

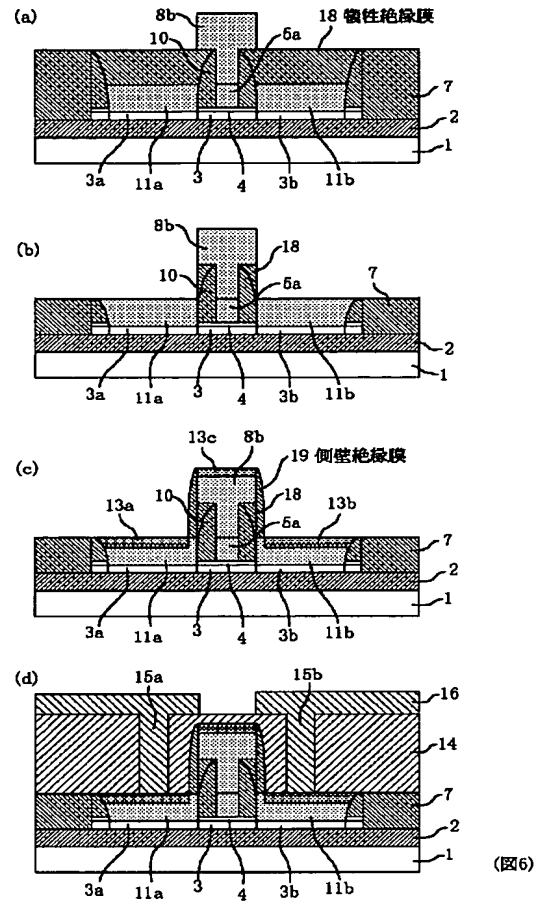


(図4)

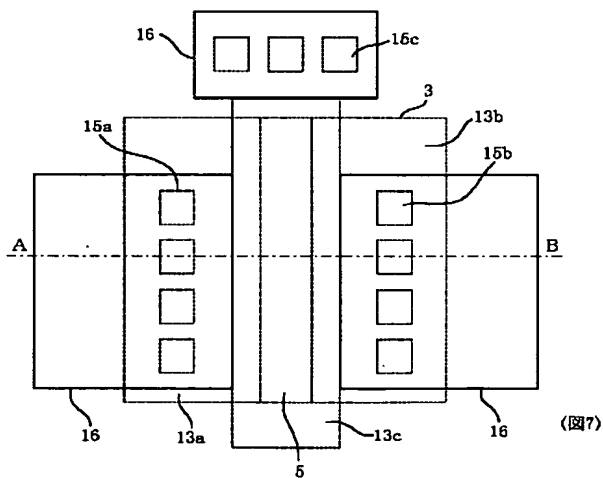
【図 5】



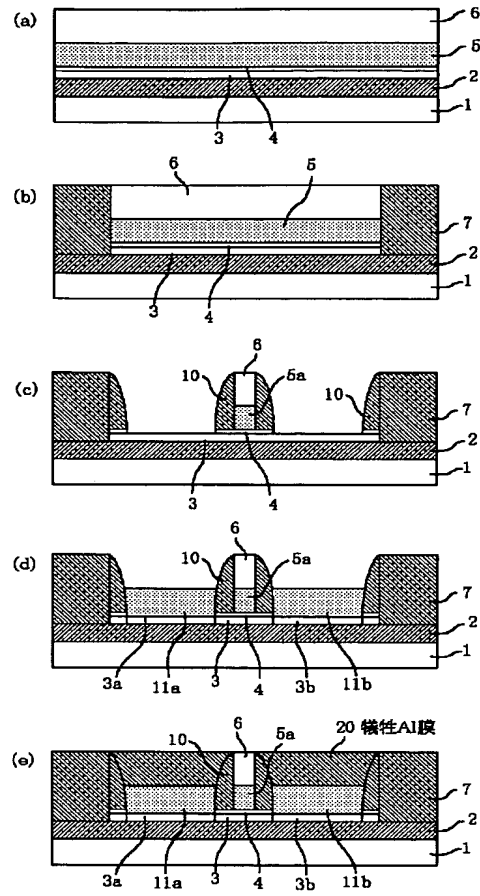
【図 6】



【図 7】

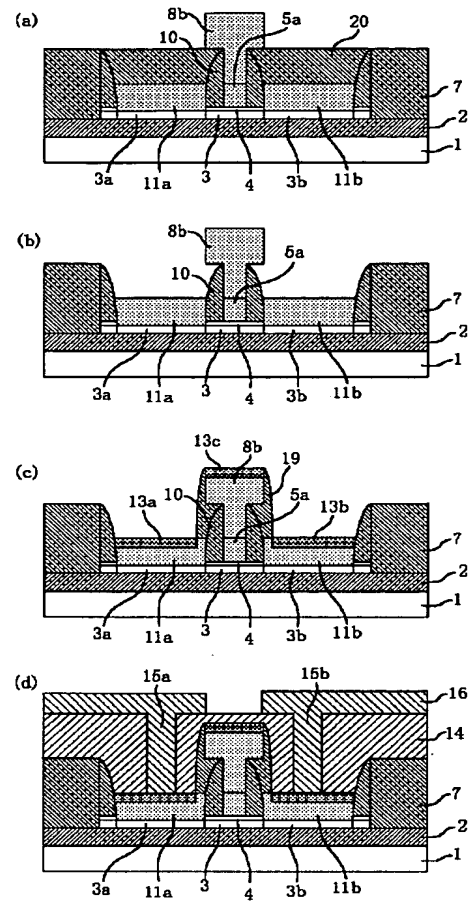


【図8】



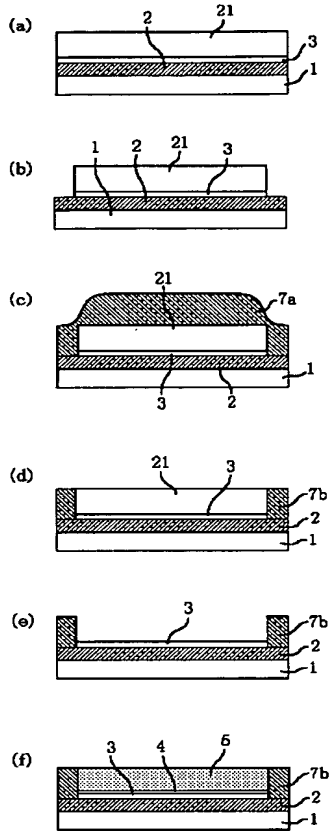
(図8)

【図9】



(図9)

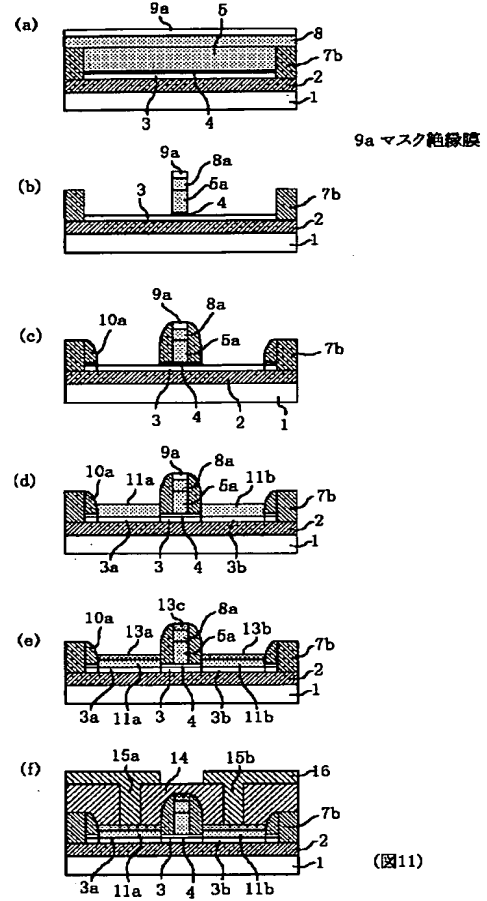
【図10】



7b 素子分離絶縁膜
21 シリコン酸化膜

(図10)

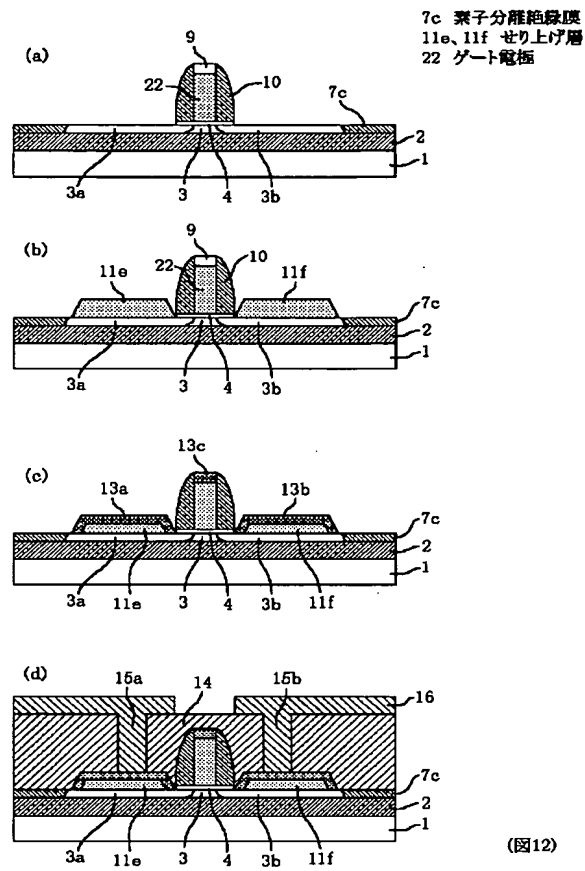
【図11】



9a マスク絶縁膜

(図11)

【図12】



(図12)

フロントページの続き

Fターム(参考) 4M104 AA09 BB01 BB18 BB20 BB25
BB26 BB28 CC01 CC05 DD37
DD84 FF13 FF14
5F110 AA03 AA30 CC02 DD05 DD13
EE05 EE09 EE14 EE15 EE22
EE32 EE42 EE48 FF02 FF23
GG02 GG12 GG25 GG31 HK01
HK04 HK05 HK09 HK14 HK21
HK39 HK40 HK42 HM02 HM14
HM15 NN02 NN23 NN35 NN40
NN62 QQ11 QQ16 QQ17 QQ19

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.